

PAT-NO: JP403293747A
DOCUMENT-IDENTIFIER: JP 03293747 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: December 25, 1991

INVENTOR-INFORMATION:

NAME
KASAI, NOBUYUKI
SAKAMOTO, SHINICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP.	N/A

APPL-NO: JP02075117

APPL-DATE: March 23, 1990

INT-CL (IPC): H01L021/78

US-CL-CURRENT: 438/464, 438/504, 438/FOR.386, 438/FOR.413

ABSTRACT:

PURPOSE: To eliminate not only breaking, chipping off, etc., from split end faces, but also the need of such a process as glass plate re-affixing, etc., by simultaneously forming via holes and splitting grooves by a dry etching method.

CONSTITUTION: After a semiconductor substrate 1 mounted with semiconductor elements on its surface is stuck to a glass plate 2 with a bonding agent 3 and a photoresist 6 is applied to the entire rear surface of the substrate 1, patterning for forming via holes 4 and patterning for

forming splitting grooves
7 are simultaneously performed. Then the holes 4 and
grooves 7 are
simultaneously formed by performing dry etching on the
substrate 1. After the
grooves 7 are filled with a photoresist, polyimide,
insulating films, etc., a
PHS(Plated Heat Sink) is formed and the substrate 1 is
divided into chips by
removing the bonding agent 3 and the materials filling the
grooves 7.

Therefore, split end faces can be prevented from breaking,
chipping off, etc.,
and, at the same time, the need of such a process as
re-affixing the glass
plate can be eliminated.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-293747

⑤ Int. Cl.⁵

識別記号

庁内整理番号

③ 公開 平成3年(1991)12月25日

H 01 L 21/78

L

6940-4M

審査請求 未請求 請求項の数 1 (全5頁)

④ 発明の名称 半導体装置の製造方法

② 特 願 平2-75117

② 出 願 平2(1990)3月23日

⑦ 発 明 者 笠 井 信 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
⑦ 発 明 者 坂 本 晋 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
⑦ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
⑦ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

Via-Holeを有する半導体装置のチップ分割において、Via-Hole形成を行なうと同時にチップ分割用溝を形成したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置の製造方法に係り、特にVia-Holeを有する半導体装置のチップ分割方法に関するものである。

(従来技術)

第3図および第4図は従来のVia-Holeを有する半導体装置のチップ分割方法を示す断面図で、図において、1は半導体素子が表面に形成された半導体基板、2はガラス板、3は半導体基板1とガラス板2とを接着する接着剤、4は半導体基板1を貫通しているVia-Hole、5はPHS(Plated

Heat Sink)である。

次にチップ分割方法について説明する。まず第3図(A)に示すように、半導体素子が表面に形成された半導体基板1が接着剤3を介してガラス板2に接着される。この時、半導体基板1の表面が接着される側である。ここで、接着剤3は半導体基板1表面に形成されている半導体素子を保護するフォトリソとガラス板2への貼付けを行なうワックスとから成る。

次に第3図(B)のように、写真製版技術、ウェットエッチング技術を用いて半導体基板1の所望の場所にVia-Holeが形成される。ウェットエッチングによるVia-Hole形成は等方性エッチングの為サイドエッチングが多く図示するように表側、裏側で開口寸法が異なる。

次いで第3図(C)のように、めっき技術によりPHS5が形成され、Via-Hole4を通してPHS5は半導体基板1表面の半導体素子の電極と接続される。続いて第3図の(D)のように、PHS5をマスクに半導体基板1をウェットエッ

チップし半導体装置個々(チップ)に分割する。この時もウェットエッチングの為にサイドエッチングが多くPHS5内側までエッチングが進んでしまう。この後、接着剤3を除去すれば第3図(E)のようにチップ分割が完了する。

また、第4図は従来の他のチップ分割方法で、第3図(C)までと同様の工程を終えた後、一旦接着剤3を除去し第4図(A)に示すように、半導体基板1表面を出して再度ガラス板2に貼付ける。

次いで第4図(B)のように、半導体基板1の所望の場所をダイヤモンドカッターで切り込み、結晶のへき開性を利用し分割するスクライプ方法や回転ブレードで切削して分割するダイシング方法等によりチップ分割する。接着剤3を除去すれば第4図(C)のように個々に分割された半導体装置が得られる。

(発明が解決しようとする課題)

従来の半導体装置のチップ分割方法は以上のように構成されていたので、ウェットエッチングに

よる分割の場合エッチングの均一性や再現性が良くない問題点があり、またスクライプ方法の場合ではガラス板の貼り代え工程がある事、半導体基板への切り込みが少ないとうまくへき開できず分割端面が欠ける、あるいは全く分割できない等の問題点がある。そしてダイシング方法も貼り代え工程があり、回転ブレードで基板を切削する時切削端面が欠ける(チップング)という問題点があった。

この発明は上記のような問題点を解消するためになされたもので、分割の均一性、再現性が良く分割端面の欠けやチップング等を防止できかつ、ガラス板の貼り代え等の工程も削除できるチップ分割方法を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体装置の製造方法は、Via-Hole形成をドライエッチング法で形成する際同時に分割用の溝を形成するようにしたものである。

(作用)

この発明における半導体装置の製造方法は、分

割用の溝をドライエッチング法により形成するため、均一性・再現性が良くなり、またスクライプやダイシングのように分割端面に欠けやチップング等が生じることも無くなり、またスクライプ方法等におけるガラス板貼り代え等の工程も削除できる。

(実施例)

以下、この発明の一実施例を図について説明する。第1図において、符号1~5は前記従来のものと同一である。図において、6はフォトレジスト、7は半導体基板1に形成された分割用溝である。

次にチップ分割方法について説明する。

第1図(A)において、半導体素子が表面に形成された半導体基板1が接着剤3を介しガラス板2に接着され、フォトレジスト6を半導体基板1裏面全面に塗布した後、Via-Hole4形成用のパターニングを行なうと同時に、分割用溝7形成用のパターニングを行なう。

次に第1図(B)において、ドライエッチング

法(反応性イオンエッチング; RIEなど)により、半導体基板1をエッチングしVia-Hole4及び分割用溝7を同時に形成する。ここで、分割用溝7の形成にはドライエッチング法を用いるため、エッチングの均一性・再現性が良くなる。又、スクライプ方法やダイシング方法の様な分割端面の欠け、チップングの問題点も無くなる。

次いで、後工程への影響が無いように分割用溝7をフォトレジストやポリイミド、絶縁膜(SiO₂, SiN)などで埋め込んだ後、第1図(C)のようにPHS5が形成され、接着剤3と分割用溝7に埋め込まれたものを除去し第1図(D)のように各チップに分割される。

なお、上記実施例では半導体基板1裏側からVia-Hole4及び分割用溝7を形成する場合について説明したが、第2図に示すように半導体基板1表面から形成してもよい。

以下、第2図について説明する。符号1から7は上記実施例と同一である。図において、8は表面電極である。

次にチップ分割方法について説明する。第2図 (A) において、半導体基板1にフォトリソスト6が塗布され、Via-Hole4形成用及び分割用溝7形成用のパターンニングが行なわれる。次に第2図 (B) において、ドライエッチング法により半導体基板1を所望の深さまでエッチングし、Via-Hole4及び分割用溝7を同時に形成する。

次いで第2図 (C) のように、分割用溝7は埋め込んで置き、Via-Hole4には表面電極8が形成される。この後、半導体基板1を接着剤3を介しガラス板2に装着し、半導体基板1裏面を研削し第2図 (D) のように、Via-Hole4及び分割用溝7を露出させる。以下、第2図 (E) のようにPHS5を形成し、接着剤3を除去することで第2図 (F) のように各チップに分割される。

(発明の効果)

以上のようにこの発明によれば、ドライエッチング法によりVia-Holeを形成すると同時に分割用溝を形成するようにしたので、エッチングの均一性・再現性が良くなり、分割端面の欠け、チップ

ング等も無くなり、また従来のスクライプ方法等にガラス板の貼り代え等の工程も削除でき工程短縮も図れる。

4. 図面の簡単な説明

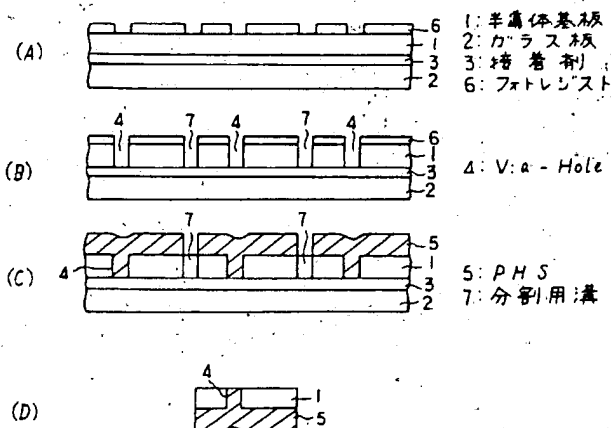
第1図はこの発明の一実施例による半導体装置の製造方法を示す工程断面図、第2図はこの発明の他の実施例を示す工程断面図、第3図及び第4図は従来の半導体装置の製造方法を示す工程断面図である。

図において、1は半導体基板、2はガラス板、3は接着剤、4はVia-Hole、5はPHS、6はフォトリソスト、7は分割用溝、8は表面電極を示す。

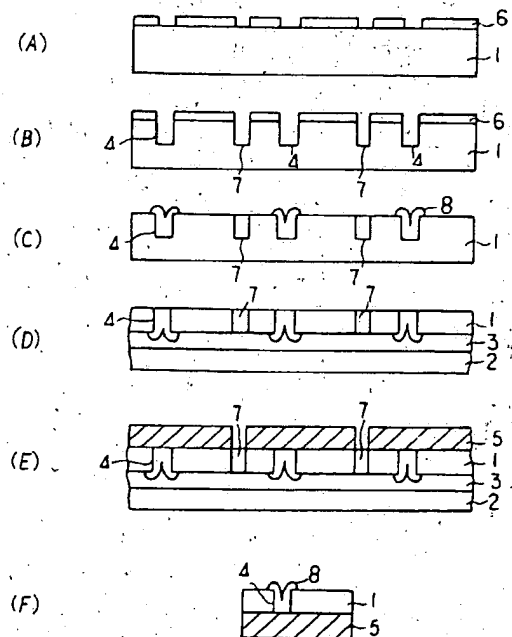
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

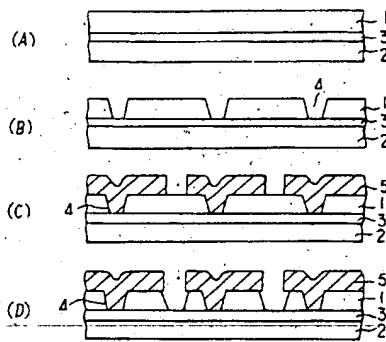
第1図



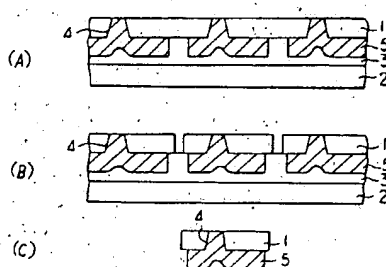
第2図



第 3 図



第 4 図



特許庁長官殿

1. 事件の表示 特願昭 2-75117 号

2. 発明の名称 半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区丸の内三丁目2番3号

名称 (601) 三菱電機株式会社

代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏名 (7375) 弁理士 大岩増雄

(連絡先03(213)3421特許部)

方式
審査

発
明



5. 補正の対象

明細書の発明の詳細な説明の欄、図面の簡単な説明の欄、及び図面。

6. 補正の内容

(1) 明細書第6頁第9行～第10行の

「絶縁膜(SiO₂, SiN)などで埋め込んだ後、第1図(C)の」を

「絶縁膜(SiO₂, SiN)71などで埋め込む。これによりVia-Hole4の形成部分を除いて平坦化され、従来技術を用いて第1図(C)の」と訂正する。

(2) 明細書第6頁第11行の

「PHS5が形成され、接着剤3と」を
「PHS5が形成できる。次に接着剤3と」と訂正する。

(3) 明細書第6頁第12行の

「埋め込まれたものを除去し」を
「埋め込まれたもの71を除去し」と訂正する。

(4) 明細書第7頁第8行～第9行の

「分割用溝7は埋め込んで置き、Via-Hole4

には」を

「分割用溝7はフォトリソスト71などで埋め込んで置く。従来技術によりVia-Hole4には」と訂正する。

(5) 明細書第8頁第12行～第13行の

「8は表面電極を示す。」を「8は表面電極、71はフォトリソストを示す。」と訂正する。

(6) 図面中第1図(C)を別紙のとおり訂正する。

(7) 図面中第2図(C),(D),(E)を別紙のとおり訂正する。

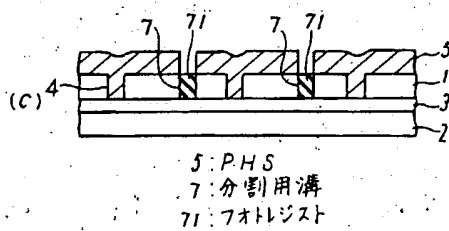
7. 添付書類の目録

(1) 訂正図面(第1図(C)) 1通

(2) 訂正図面(第2図(C),(D),(E)) 1通

以上

第 1 図



第 2 図

